

## Patent Abstracts of Japan

PUBLICATION NUMBER : 09260650  
PUBLICATION DATE : 03-10-97

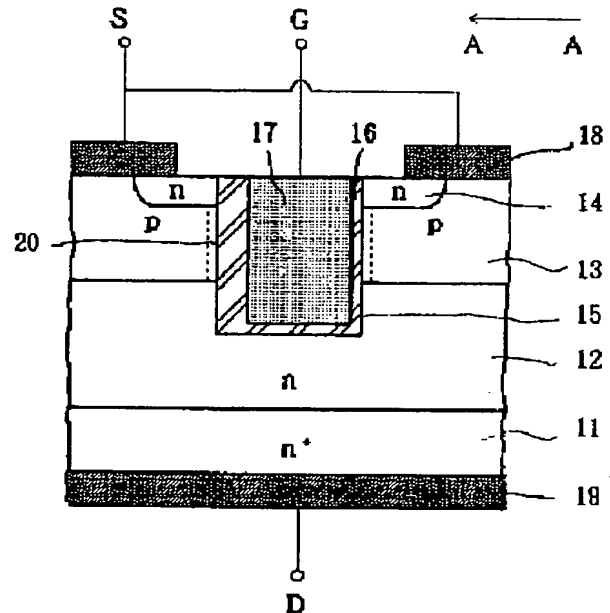
APPLICATION DATE : 22-03-96  
APPLICATION NUMBER : 08065745

APPLICANT : FUJI ELECTRIC CO LTD;

INVENTOR : UENO KATSUNORI;

INT.CL. : H01L 29/78

TITLE : SILICON CARBIDE TRENCH FET AND  
MANUFACTURE THEREOF



BEST AVAILABLE COPY

ABSTRACT : PROBLEM TO BE SOLVED: To reduce the on resistance of a silicon carbide (4H-SiC, 6H-SiC) trench FET(field effect transistor).

SOLUTION: A SiC crystal with the face (such as the faces (1, -1, 0, 0), vertical to the face (0001) as its main face is used, the side surfaces of a trench 15 are formed so as to become roughly the face (0001), and a channel 20 is contrived so as to be able to be formed on the side of the face (000), specially the silicon face (0001) which is terminated by silicon atoms. An n-type emitter region 14 is formed only in the surface layer of a p-type base layer 13 on the side of the silicon face (0001) or the trench inner surface to oppose to the silicon face (0001) is shifted from the face (0001), the horizontal section of a gate electrode 17 is formed so as to turn into a triangle, and it is also possible to reduce the unit area of a cell. The film thickness of an oxide film on the silicon face (0001) and the film thickness of an oxide film on the carbon face (0001) have only to be formed in the same thickness by a thermal oxidation, an oxide film selective removal and a reoxidation.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260650

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

9447-4M

9447-4M

9447-4M

F I

H 0 1 L 29/78

技術表示箇所

6 5 3 C

6 5 2 T

6 5 2 F

審査請求 未請求 請求項の数11 O L (全 9 頁)

(21) 出願番号

特願平8-65745

(22) 出願日

平成8年(1996)3月22日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

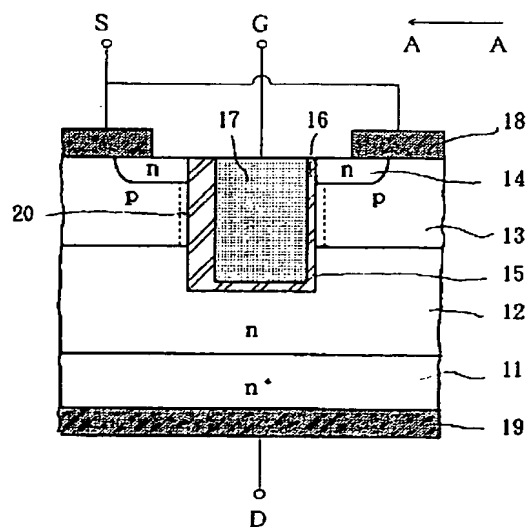
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 炭化ケイ素トレンチFETおよびその製造方法

(57) 【要約】

【課題】炭化ケイ素(4H-SiC、6H-SiC)のトレンチFET(電界効果トランジスタ)のオン抵抗を低減する。

【解決手段】(0001)面に垂直な面(例えば(1、-1、0、0)面)を主面とするSiC結晶を用い、トレンチ15の側面がほぼ(0001)面になるようにして(0001)面、特にシリコン原子で終端している(0001)シリコン面側にチャネル20ができるようにする。(0001)シリコン面側のpベース層13の表面層にのみnエミッタ領域14を形成するか、または(0001)シリコン面と対向するトレンチ内面を(0001)面からずらし、ゲート電極17の水平断面が三角形になるようにして、単位セル面積を縮小することもできる。熱酸化、酸化膜選択除去、再酸化により、(0001)シリコン面と(0001)炭素面上の酸化膜厚を同じにするとよい。



11 n<sup>+</sup> ドレイン層

12 n ドリフト層

13 p ベース層

14 n ソース領域

15 トレンチ

16 ゲート酸化膜

17 ゲート電極

18 ソース電極

19 ドレイン電極

20 チャネル

## 【特許請求の範囲】

【請求項1】アルファ相炭化ケイ素単結晶の第一導電型ドレイン層上に順に形成されたそのドレイン層より不純物濃度の低い炭化ケイ素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達するトレンチとを有し、そのトレンチ内にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域の表面に接して設けられたソース電極と、第一導電型ドレイン層の裏面に設けられたドレイン電極とを備えるものにおいて、ゲート電極に電圧を印加したときにゲート絶縁膜に沿った第二導電型ベース層に(0001)面方向のチャンネルが形成されることを特徴とする炭化ケイ素トレンチFET。

【請求項2】トレンチの少なくとも一方の側面がほぼ(0001)面であることを特徴とする請求項1記載の炭化ケイ素トレンチFET。

【請求項3】第二導電型ベース層の主面がほぼ(0001)面に垂直な結晶面であることを特徴とする請求項2記載の炭化ケイ素トレンチFET。

【請求項4】第二導電型ベース層の主面がほぼ(1、0、-1、0)面、あるいはそれと等価な結晶面であることを特徴とする請求項3記載の炭化ケイ素トレンチFET。

【請求項5】第二導電型ベース層の主面がほぼ(1、1、-2、0)面、あるいはそれと等価な結晶面であることを特徴とする請求項3記載の炭化ケイ素トレンチFET。

【請求項6】トレンチの(0001)シリコン面側のみ第一導電型ソース領域を形成することを特徴とする請求項3ないし5のいずれかに記載の炭化ケイ素トレンチFET。

【請求項7】トレンチの(0001)シリコン面に対向する面が(000、-1)面からずれており、ゲート電極の水平断面が突出部を有することを特徴とする請求項2ないし6のいずれかに記載の炭化ケイ素トレンチFET。

【請求項8】トレンチの(0001)シリコン面に対向する面が(000、-1)面から30〜90度ずれていることを特徴とする請求項7記載の炭化ケイ素トレンチFET。

【請求項9】トレンチの一方の側面が(0001)シリコン面であり、対向する側面が(000、-1)炭素面であり、両側面のゲート絶縁膜がほぼ同じ膜厚であることを特徴とする請求項2ないし5のいずれかに記載の炭化ケイ素トレンチFET。

【請求項10】第一導電型の炭化ケイ素サブストレート上に順に形成された基板より不純物濃度の低い炭化ケイ

素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達し、側面がほぼ(0001)、(000、-1)面であるトレンチとを有し、そのトレンチ内にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域の表面に接して設けられたソース電極と、炭化ケイ素サブストレーートの表面に設けられたドレイン電極とを備える炭化ケイ素トレンチFETの製造方法において、トレンチ内部に熱酸化により酸化ケイ素膜を形成した後、(000、-1)炭素面の酸化ケイ素膜を選択的に除去し、再び熱酸化して(0001)シリコン面と対向する(000、-1)炭素面のゲート絶縁膜をほぼ同じ膜厚にすることを特徴とする炭化ケイ素トレンチFETの製造方法。

【請求項11】第一導電型の炭化ケイ素サブストレート上に順に形成された基板より不純物濃度の低い炭化ケイ素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達し、側面がほぼ(0001)、(000、-1)面であるトレンチとを有し、そのトレンチ内にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域の表面に接して設けられたソース電極と、炭化ケイ素サブストレーートの表面に設けられたドレイン電極とを備える炭化ケイ素トレンチFETの製造方法において、トレンチ内部にCVD法により、トレンチの両側面に同じ膜厚のゲート絶縁膜を堆積することを特徴とする炭化ケイ素トレンチFETの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、高耐圧、大電流を制御する電界効果トランジスタ（以下FETと略す）、特に炭化ケイ素を用い、トレンチを有する炭化ケイ素トレンチFETに関する。

## 【0002】

【従来の技術】最近、電力用半導体素子として炭化ケイ素（以下SiCと略す）を用いた縦型FETの試作が行われている。SiCは最大電界強度がシリコンより一桁大きいので、薄い結晶で高耐圧の半導体素子ができ、オン電圧を低くできて、大電流密度の使用に適するからである。

【0003】縦型FETは、SiCの電力用デバイスへの適用を考える上で重要なデバイスである。その理由は電圧駆動型デバイスであるため、素子の並列駆動が容易であり、また駆動回路の簡素化が可能なこと、およびユニポーラ素子であるため、高速スイッチングが可能なことなどによる。また、SiCにおいては、シリコンと異

なり深い不純物拡散が困難であるのに対して、エピタキシャル成長は比較的容易であるので、図7に示すようなトレンチ5をもつトレンチFETが一般的である。なお、以下においてn、pを冠した層、領域等はそれぞれ電子、正孔を多数キャリアとする層、領域を意味するものとする。

【0004】図7は、従来試作されたSiCのトレンチFETの要部断面図である。図において、n<sup>+</sup>ドレイン層1のサブストレート上にサブストレートより不純物濃度の低いnドリフト層2とp型のpベース層3とをエピタキシャル成長したSiC基板が用いられている。SiCでは、厚い層を熱拡散で形成することが困難であるが、エピタキシャル成長は比較的容易に行われる。pベース層3の表面層に選択的に高濃度のnソース領域4が形成され、そのnソース領域4の一部に表面からドリフト層2に達する溝（以後トレンチと呼ぶ）5が形成されている。トレンチ5の内側にはゲート絶縁膜6を介してゲート電極7が設けられ、また、nソース領域4の表面とpベース層3の表面露出部に共通に接触してソース電極8が、n<sup>+</sup>ドレイン層1の裏面にドレイン電極9がそれぞれ設けられている。

【0005】このMOSFETの動作は、ドレイン電極9とソース電極8との間に電圧を印加した状態で、ゲート電極7にある値以上の正の電圧を加えると、ゲート電極7の横のpベース層3の表面層にチャネル（反転層）10が形成され、そのチャネル10を通じて、ソース電極8からドレイン電極9へと電子電流が流れる。このようにして、高耐圧を維持し、かつ大電流を制御するものである。SiCにおいては、ゲート絶縁膜6としてSiCを熱酸化してできる酸化ケイ素膜が使用できる。ただし、ゲート絶縁膜6は他の絶縁膜でもよい。なお、以下酸化ケイ素膜を酸化膜と呼ぶ。

【0006】これまでに報告されているSiCの縦型MOSFETでは、用いられた単結晶は4H-SiCまたは6H-SiCと呼ばれるものであった。これらは閃亜鉛鉱型とウルツ鉱型とを積層した形のアルファ相SiCで、単結晶ウェハの製造が可能であることによる。そして先にも述べたように、用いる結晶のnドリフト層2は通常エピタキシャル成長法により形成されている。これは不純物濃度および厚さを正確に制御するためである。更に、これらの単結晶の表面の結晶方位は、(0001)面、或いはc面と呼ばれる方位であった。この方位が使用される理由は、これまでのエピタキシャル成長技術が、(0001)面について開発されてきたことによる。従って、炭化ケイ素トレンチFETのチャネルが形成されるのは、ほぼ90度傾いた面、或いは大きく(0001)面からはずれた面であったことが図から容易に理解できる。

【0007】

【発明が解決しようとする課題】以上の説明からわかる

ように、これまでの縦型FETをはじめとするSiC半導体素子の試作は、電力用半導体素子の特性を重視したものではなく、利用できる結晶のみを考慮したものであった。図8は、SiCの縦型FETの耐圧とオン抵抗との関係を表した図であって、横軸にFETの耐圧、縦軸にそのオン抵抗をとり、FETのチャネル（反転層）の移動度をパラメータとしてプロットしたものである。この図8から、SiCの縦型FETのオン抵抗は、FETのチャネルの移動度によって大きく左右されることがわかる。

【0008】これは縦型FETのオン抵抗に、チャネルの抵抗が直列に入っているためである。特に、1000V以下の領域では、ほとんどFETのチャネルによって抵抗が占められている。この耐圧範囲は、パワーデバイスとしての利用が最も多い範囲であることから、特にこの領域でメリットがでることが期待される。すなわち、SiC本来のメリットを引き出すためには、FETのチャネルの移動度をどこまで大きくできるかが最も大きな因子であることを示している。

【0009】ところが、これまでの報告では、SiCの縦型FETの移動度は、 $10\text{ cm}^2/\text{Vs}$ 程度しか報告されていない。一方では、(0001)面に平行にチャネルが形成される横型のFETでは、すでに $70\text{ cm}^2/\text{Vs}$ が報告されている。この原因については、明らかになっていないが、表面の結晶面の特性が特に重要な役割をしていることは間違いない。

【0010】以上の問題に鑑みて本発明の目的は、チャネルのできる結晶面を移動度の大きな結晶面とすることによって、オン抵抗の小さな炭化ケイ素トレンチFETを提供することにある。

【0011】

【課題を解決するための手段】上記課題の解決のため本発明は、アルファ相炭化ケイ素単結晶の第一導電型ドレイン層上に順に形成されたドレイン層より不純物濃度の低い炭化ケイ素の第一導電型ドリフト層と炭化ケイ素の第二導電型ベース層と、その第二導電型ベース層の表面層の一部に形成された第一導電型ソース領域と、その第一導電型ソース領域の表面から第一導電型ドリフト層に達するトレンチとを有し、そのトレンチ内にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域の表面に接して設けられたソース電極と、第一導電型ドレイン層の裏面に設けられたドレイン電極とを備える炭化ケイ素トレンチFETにおいて、ゲート電極に電圧を印加したときにゲート絶縁膜に沿った第二導電型ベース層に(0001)面方向の反転層のチャネルが形成されるものとする。

【0012】特に、トレンチの側面がほぼ(0001)面であるものがよい。図9、図10は、それぞれ(0001)面に垂直および平行な反転層における移動度の電子濃度依存性の図である。横軸は電子濃度、縦軸は移動

度で、いずれも対数表示になっている。低温での計算値であるため、図8の値より大きな値になっているが、傾向は利用できる。4H-SiC、6H-SiCの両結晶ともに、(0001)面に平行な反転層の移動度が、(0001)面に垂直な反転層の移動度より、約20～30%大きいことがわかる。

【0013】従って、トレンチの側面がほぼ(0001)面であるようにすれば、キャリアの移動度の大きい(0001)面をチャネルとして利用できる。そして、炭化ケイ素サブストレートの主面がほぼ(0001)面に垂直な結晶面、例えば、(1, 0, -1, 0)面や(1, 1, -2, 0)面、あるいはそれらと等価な結晶面であるものとする。

【0014】そのような低次の面の結晶は、切り出しやすく、またそのような結晶を用いて、表面にほぼ垂直なトレンチを形成すれば、(0001)面に平行なチャネルができる。また、トレンチの(0001)シリコン面側へのみ第一導電型ソース領域を有するものとする。

【0015】(0001)面をチャネル領域とした場合、(0001)面にはシリコンで終端した(0001)シリコン面と、これと180度の裏の炭素で終端した(000, -1)炭素面とが現れる。(0001)シリコン面は、(000, -1)炭素面よりもはるかに酸化速度が小さい。逆にいうと、熱酸化した場合(000, -1)炭素面には、(0001)シリコン面よりずっと厚い酸化膜が出来てしまう。従って、(0001)シリコン面側に(適当な厚さの酸化膜を形成して)チャネルを形成したとき、反対側の(000, -1)炭素面側では酸化膜の厚さが厚すぎて、ほとんどFETのチャネルは形成されないため、その領域は無効領域となる。

【0016】そこで、トレンチの(0001)シリコン面側にのみ第一導電型ソース領域を形成し、(000, -1)炭素面側には第一導電型ソース領域を形成せず、ソース電極と第二導電型ベース領域とのオーミック接触を形成する領域として使用すれば、単位セル当たりの面積を小さくすることが可能である。また、トレンチの(0001)シリコン面に対向する面が(000, -1)面からずれており、ゲート電極の水平断面が突出部を有するものとしてもよい。

【0017】そのように、ゲート電極を三角形または台形状とすれば、ゲート電極の幅を確保しながら、(0001)シリコン面をできるだけ広くしてかつ単位セル当たりの面積を小さくすることができる。特に、トレンチの(0001)シリコン面に対向する面が(000, -1)炭素面から30～60度ずれているものとする。

【0018】Tokura等の報告によれば、(Jpn. J. Appl. Phys., Vol. 34, Part 1, No. 10, (1995) pp. 556-7) (000, -1)炭素面から30度以上ずれると、熱酸化膜の厚さは、(000, -1)炭素面のその1/4以下になることが知られている。従って、(000

1)シリコン面に対向する面を(000, -1)炭素面から30度以上ずらした面にすれば、その面でのゲート酸化膜の厚さは、(0001)シリコン面側のゲート酸化膜の厚さとほぼ同じになる。

【0019】更に、トレンチの一方の側面が(0001)シリコン面であり、対向する側面が(000, -1)炭素面であり、両側面のゲート絶縁膜がほぼ同じ膜厚であるものとしてもよい。そのようにすれば、トレンチの両側にチャネルができる。トレンチの一方の側面が(0001)シリコン面であり、対向する側面が(000, -1)炭素面であり、両側面のゲート絶縁膜がほぼ同じ膜厚であるSiCトレンチFETの製造方法としては、トレンチ内面に熱酸化膜を形成した後、(000, -1)炭素面の熱酸化膜を選択的に除去し、再び熱酸化して(0001)シリコン面に対向する(000, -1)炭素面のゲート絶縁膜をほぼ同じ膜厚にするものとする。

【0020】また、トレンチ内面にCVD法によりゲート絶縁膜を堆積してもよい。これらの方法で、両側面のゲート絶縁膜がほぼ同じ膜厚となり両側にチャネルを有するSiCトレンチFETとすることができる。

【0021】

【発明の実施の形態】以下図面を参照しながら本発明の実施の形態について説明する。

〔実施例1〕図1は、本発明第一の実施例のSiCトレンチFETの要部断面図である。図に示したのは単位セルと呼ばれる電流のスイッチングを行う単位の部分である。実際の素子は図の単位セルを多数集積した上、更に主に周辺に耐圧を担う部分があるが、本発明の本質に係わる部分ではないので省略する。ここで、この結晶は4H-SiCで、図のA-A線の方向が<0001>方向であり、図の結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。

【0022】図8の従来のトレンチMOSFETとは、結晶方位が異なるだけで、構造は同じである。すなわち、n<sup>+</sup>ドレイン層11のサブストレート上にそれぞれ不純物濃度の低いnドリフト層12とp型のpベース層13とをエピタキシャル成長したSiC基板が用いられている。ここで、n<sup>+</sup>ドレイン層11の不純物濃度は5×10<sup>18</sup>cm<sup>-3</sup>、nドリフト層12、pベース層13の不純物濃度と厚さはそれぞれ5×10<sup>15</sup>cm<sup>-3</sup>、10μm、6×10<sup>16</sup>cm<sup>-3</sup>、1.5μmである。そのpベース層13の表面層に、燐のイオン注入および熱処理により、選択的にnソース領域14が形成されている。そのnソース領域14の一部に、四フッ化炭素ガスを用いた反応製造方法イオンエッチングにより、表面からnドリフト層12に達する溝(以後トレンチと呼ぶ)15が形成されている。トレンチ15はストライプ状で紙面に垂直方向に延びており、その側面は、ほぼ(0001)面になっている。トレンチ15の内側には熱酸化により、

厚さ100nmのゲート酸化膜16が形成され、その内部に減圧CVD法により、多結晶シリコンのゲート電極17が埋め込まれている。またNiのスパッタリングにより、nソース領域14の表面とpベース層13の表面露出部に共通に接触してソース電極18が、n<sup>+</sup>ドレイン層11の裏面にドレイン電極19がそれぞれ設けられている。

【0023】このSiCトレンチFETの動作原理は、図7の従来のSiCトレンチFETと本質的に同じである。しかし、このような構造として、移動度の大きい(0001)面をMOSFETのチャンネル20に利用することによって、SiCトレンチFETのオン抵抗を小さくすることができる。図9と図10との比較から、(0001)面に沿ってチャンネル20を形成した本実施例のSiCトレンチFETは、(0001)面に垂直方向にチャンネルを形成する従来のものより約30%小さいオン抵抗になる。

【0024】[実施例2] 図2は、本発明第二の実施例のSiC縦型トレンチMOSFETの断面図である。ここで、この結晶は、4H-SiCで図のB-B線の方向が<0001>方向であり、図の結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。この実施例のトレンチMOSFETでは、トレンチ25の右側の上面に近い表面層にnソース領域24はあるが、左側にはnソース領域がない点が実施例1と違っている。

【0025】トレンチの側面を(0001)面とした場合、(0001)面にはシリコンで終端した(0001)シリコン面と、対向する側の炭素で終端した(000, -1)炭素面とが現れる。先に述べたように(0001)シリコン面は、(0001)炭素面よりもはるかに酸化速度が小さい。図2のトレンチMOSFETでは、トレンチ25の右側が(0001)シリコン面であり、左側が(000, -1)炭素面となっている。それに対応してシリコン面ではゲート酸化膜26の厚さが薄く、炭素面ではゲート酸化膜26'の厚さが厚くなっている。

【0026】このように、炭素面側のゲート酸化膜26'が厚くなるため、一定のゲート電圧をゲート電極27に印加したとき、トレンチ25の右側の(0001)シリコン面側ではチャンネル30ができるものの、炭素面側では(仮にnソース領域があったとしても)チャンネルがほとんど出来ないということが起きる。そこでこのような構造では、シリコン面側のゲート酸化膜26に合わせてデバイス設計することが重要である。(もし、炭素面側のゲート酸化膜26'の厚さを適正な値にすると、シリコン面側でのゲート酸化膜26の厚さが極端に薄くなって、ゲート酸化膜の絶縁耐圧が著しく損なわれる。)そのため、トレンチ25の左側すなわち炭素面側はnソース領域を形成したとしても、その領域は無効領

域となる。

【0027】そこで図2に示すように、炭素面側にはnソース領域を形成せず、pベース層23とソース電極28とのオーミック接触を形成する領域として使用すれば、単位セルの構造を単純化でき、単位セルの寸法を小さくすることができる。すなわち、単位面積当たりのチャネル密度を大きくすることができ、結果としてトレンチFETのオン抵抗を小さくすることができる。

【0028】[実施例3] 図3は、本発明第三の実施例のSiCトレンチFETのSiC結晶表面の平面図である。ここで、この結晶は、図のC-C線の方向が<0001>方向であり、図の結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。

【0029】この実施例3では、(0001)シリコン面に対向する面を(000, -1)面からずらし、斜めにしたので、ゲート電極37の水平断面が三角形になっている。ゲート電極37の外側の三角形はゲート酸化膜36である。三角形のもっとも長い右辺に沿ってnソース領域34が形成されている。点線は、カソード電極のnソース領域34およびpベース層33への接触部分を示している。なお、ゲート電極37は、図の平面では孤立しているが、図の平面以外の部分で互いに接続する手段が取られている。

【0030】実施例1と実施例2では、ゲート電極17、27がストライプ状であって、その片側が(000, -1)炭素面のため無効領域となった。それに対し、図3の実施例3の構造では、ゲート電極37の最大幅を同じにした上でゲート電極37の形状を工夫し、無効領域を減らして(0001)シリコン面側の面積をほぼ2倍に増大させることができる。その分だけオン抵抗を低減できることになる。

【0031】[実施例4] 図4は、本発明第四の実施例のSiC縦型トレンチMOSFETのSiC表面の平面図である。ここで、この結晶は、図のD-D線の方向が<0001>方向であり、結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。

【0032】この実施例4では、(0001)シリコン面に対向する面の一部を(0001)面からずらし、斜めにし、<0001>方向に突出部を有する点は図3の実施例3と同じであるが、ゲート電極47が互いに接続している。ゲート電極47の長い右辺に沿ってnソース領域44が形成されている。点線は、ソース電極のnソース領域44およびpベース層43の表面への接触部分を示している。

【0033】図3の構造では、各セルのゲート電極37が孤立しているために、これらをつなぐための構造が必要であったが、この例では、各セルのゲート電極47は互いに端で接続されており、特別な接続構造が不要である。この実施例のトレンチFETでも、FETの密度を大きくとることで総チャネル幅が大きくなり、FETの

抵抗を小さくすることができる。

【0034】[実施例5] 図5は、本発明第五の実施例のSiCトレンチFETのSiC表面の平面図である。ここで、この結晶は、図のE-E線の方向が<0001>方向であり、図の結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。

【0035】この実施例5では、(0001)シリコン面に対向する面の一部を(000, -1)面からずらし、斜めにしてゲート電極57の水平断面が三角形になっている点は実施例3と同じである。ただし、(0001)シリコン面に対向する面との間の角度は35度になっている。ゲート電極57を取り囲む三角形はゲート酸化膜56である。そして、nソース領域54が長い右辺に沿ってだけでなく、ゲート電極57を取り囲むように形成されている。点線は、ソース電極のnソース領域54およびpベース層53の表面への接触部分を示している。

【0036】先に述べたように、Tokura等の報告によれば、(000, -1)炭素面から30度以上ずれると、熱酸化膜の厚さは、(000, -1)炭素面のそれの1/4以下になることが知られている。従って、本実施例5のようにシリコン面に対向する面を(000, -1)炭素面から35度ずらした面にすれば、その面でのゲート酸化膜56'の厚さは、(0001)シリコン面のゲート酸化膜56の厚さとはほぼ同じになる。そのため、そのゲート電極57を囲むようにnソース領域54を形成すれば、全周がFETとなり、無効領域とはならない。確かに(000, -1)面からずらされている部分のチャネルの移動度は(0001)面のチャネルほど大きくはないが、全体のチャネル幅は大幅に増大し、それだけトレンチFETのオン抵抗は低くなる。

【0037】(0001)面からのずれる角度が60度以上になると、(0001)シリコン面のチャネルより、ずれた面のチャネルの方が倍以上の面積になり、(0001)面の大きい移動度があまり効果をもたらさないことになる。

【実施例6】図6は、本発明第六の実施例のSiC縦型トレンチMOSFETの部分断面図である。ここで、この結晶は、図のF-F線の方向が<0001>方向であり、結晶の上面は、(0001)面に垂直な面、例えば(1, 0, -1, 0)面である。

【0038】この実施例6では、ゲート電極67がストライプ状で、トレンチ65の側面の一方は(0001)シリコン面、他方は(000, -1)炭素面になっている。しかし、図1の実施例1とは違って、(0001)シリコン面側のゲート絶縁膜66、(000, -1)炭素面側のゲート絶縁膜66'の厚さは両側で同じになっている。そして、ゲート電極67の両側のpベース層63の表面層にnソース領域64が形成されている。従って(000, -1)炭素面側も無効領域にはならず、F

ETとして働く。しかもこの実施例6では、ゲート電極67の両側のチャネル70、70'が移動度の大きい(0001)面方向になっているので、トレンチFETのオン抵抗は、図1の実施例1の約1/2になる。

【0039】ゲート電極67の両側のゲート絶縁膜66、66'の厚さを同じにするには、次のような製造方法とすればよい。四フッ化炭素と酸素との混合ガスを用いた反応性イオンエッチングにより、トレンチ65を形成した後、熱酸化により、トレンチ65内に酸化膜を形成する。この酸化膜は熱酸化膜なので、(0001)シリコン面には薄く、(0001)炭素面には厚くできるが、この時はシリコン面上の酸化膜厚がゲート絶縁膜66として適当な厚さに制御する。次に、反応性イオンエッチングのイオン入射角依存性を利用して、炭素面上の酸化膜を選択的に除去する。その後再び熱酸化により、(0001)炭素面上にゲート絶縁膜66'として適当な厚さの酸化膜を成長させる。この時間は先の酸化の際の時間に比べて非常に短いので、(0001)シリコン面上の酸化膜は殆ど厚くならない。

【0040】また別の方法としては、ゲート絶縁膜66としてプラズマCVD法により酸化膜を堆積してもよい。そうすれば、(0001)シリコン面、(000, -1)炭素面に同じ厚さのゲート絶縁膜66、66'が堆積される。プラズマCVD法によるゲート絶縁膜66、66'としては、窒化ケイ素膜を堆積してもよい。

【0041】以上の実施例において、SiC結晶を4H-SiCとしたが、6H-SiCにも適用できる。また、(0001)面に垂直な結晶の主面として(1, 0, -1, 0)面のものを取り上げたが、(1, 1, -2, 0)面を始めとして沢山の結晶面が考えられる。更に、ソース電極8とドレイン電極9とが、SiC結晶の異なる表面に設けられたいわゆる縦型のFETの例を示したが、必ずしも縦型FETに限らず、両電極が同一表面上に有る横型のトレンチFETにも適用できる。

【0042】

【発明の効果】以上説明したように本発明のSiCトレンチFETは、(0001)面に垂直な結晶面を主面とする結晶を用い、垂直なトレンチを形成するなどして、キャリアの移動度の大きい(0001)面にチャネルが形成されるようにすることによって、トレンチFETのオン抵抗を大幅に低減することができる。例えば、(0001)面に垂直な面にチャネルが形成されていた従来のトレンチFETに比べ、約30%の低減ができる。

【0043】(0001)面には(0001)シリコン面と(000, -1)炭素面とがあり、熱酸化時の酸化速度が異なる。このため、(0001)シリコン面側に適当なゲート酸化膜を熱酸化により形成したときは、

(000, -1)炭素面側のゲート酸化膜は厚くなり過ぎ、FETとして有効に動作しない。従って、(0001)シリコン面側のみに第一導電型ソース領域を形成し

たり、ゲート電極の断面を三角形などにしたりして、単位セル形状の縮小を図り、チャネル幅を増大させ、オン抵抗を低減することもできる。

【0044】更に(000、-1)炭素面側のゲート酸化膜の厚さをシリコン面側と同じにして、チャネル幅を増大させ、オン抵抗を低減することもできる。特にストライプ状のゲート電極で、両側のゲート酸化膜の厚さを同じにすれば、移動度の大きい(0001)面にチャネルが形成されるので、オン抵抗の低減効果も大である。

【図面の簡単な説明】

【図1】実施例1の炭化ケイ素トレンチFETの要部断面図

【図2】実施例2の炭化ケイ素トレンチFETの要部断面図

【図3】実施例3の炭化ケイ素トレンチFETの炭化ケイ素表面の平面図

【図4】実施例4の炭化ケイ素トレンチFETの炭化ケイ素表面の平面図

【図5】実施例5の炭化ケイ素トレンチFETの炭化ケイ素表面の平面図

【図6】実施例5の炭化ケイ素トレンチFETの要部断面図

【図7】従来の炭化ケイ素トレンチFETの要部断面図

【図8】炭化ケイ素トレンチFETのオン抵抗のチャネル移動度依存性を示す図

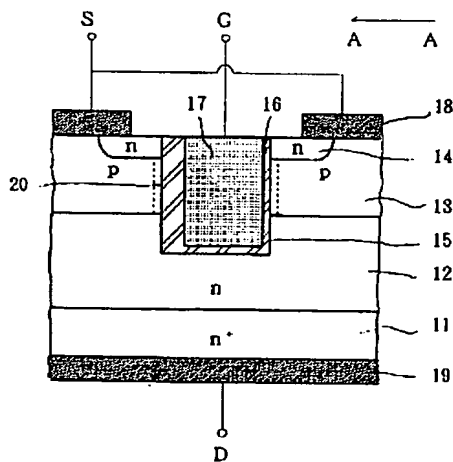
【図9】炭化ケイ素トレンチFETのチャネル移動度とキャリア濃度との関係を示す図

【図10】炭化ケイ素トレンチFETのチャネル移動度とキャリア濃度との関係を示す図

【符号の説明】

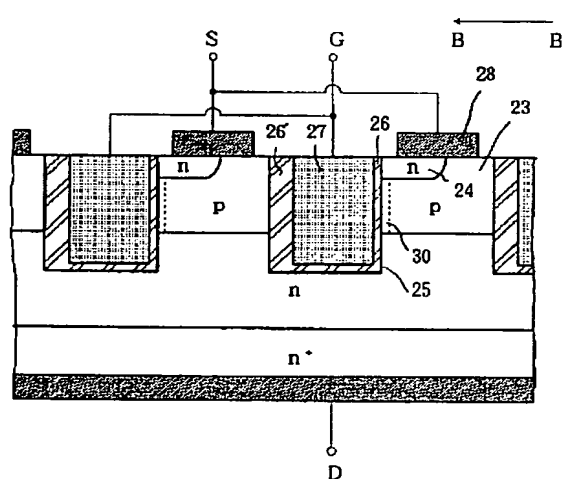
- |                                 |                      |
|---------------------------------|----------------------|
| 1、11                            | n <sup>+</sup> ドレイン層 |
| 2、12                            | n ドリフト層              |
| 3、13、23、33、43、53、63             | p ベース層               |
| 4、14、24、34、44、54、64             | n ソース領域              |
| 5、15、25、65                      | トレンチ                 |
| 6、16、26、26'、36、46、56、56'、66、66' | ゲート絶縁膜またはゲート酸化膜      |
| 7、17、27、37、47、57、67             | ゲート電極                |
| 8、18、28、68                      | ソース電極                |
| 9、19、                           | ドレイン電極               |
| 10、20、30、70、70'                 | チャネル                 |

【図1】



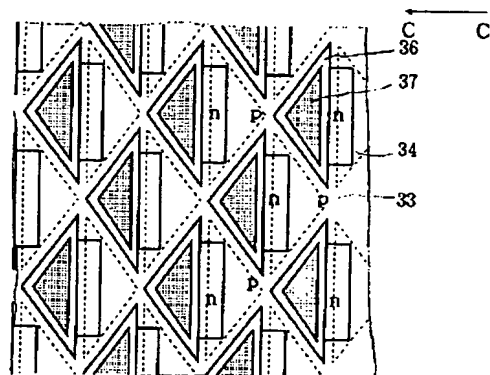
- |                         |           |
|-------------------------|-----------|
| 11 n <sup>+</sup> ドレイン層 | 16 ゲート酸化膜 |
| 12 n ドリフト層              | 17 ゲート電極  |
| 13 p ベース層               | 18 ソース電極  |
| 14 n ソース領域              | 19 ドレイン電極 |
| 15 トレンチ                 | 20 チャネル   |

【図2】

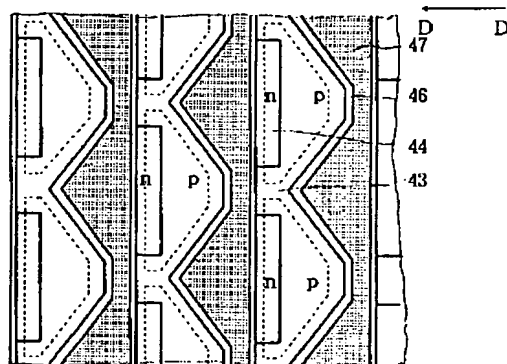




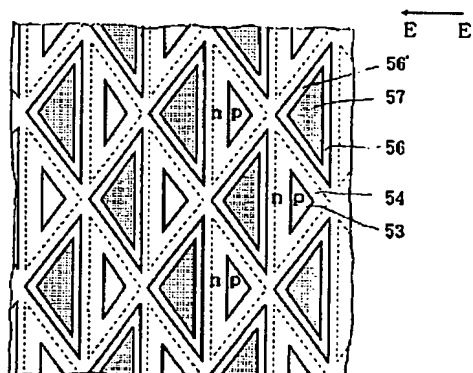
【図3】



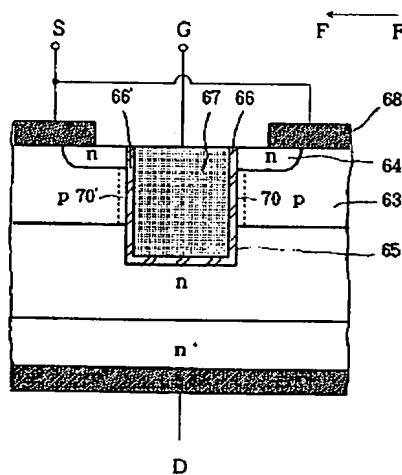
【図4】



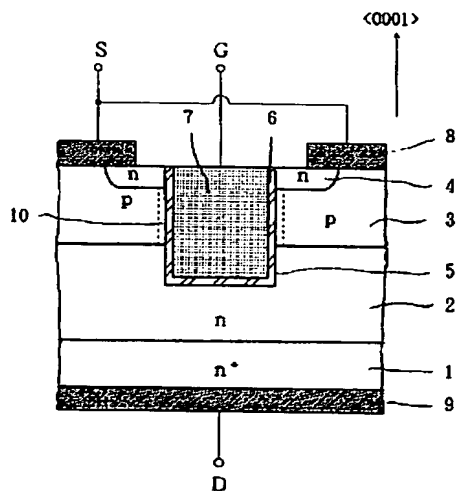
【図5】



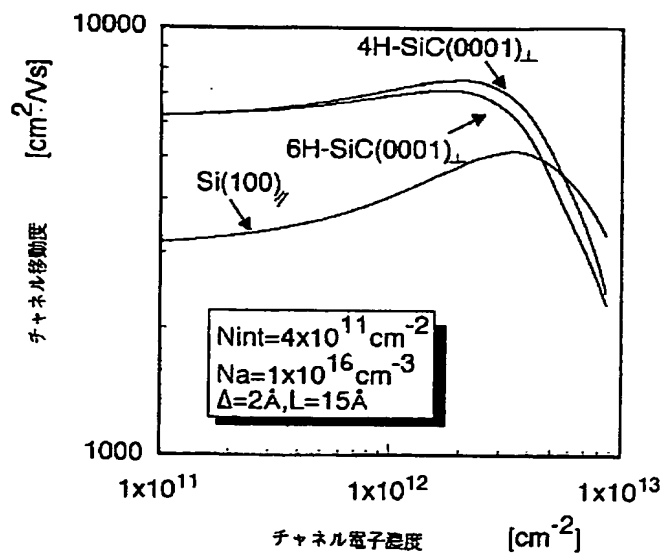
【図6】



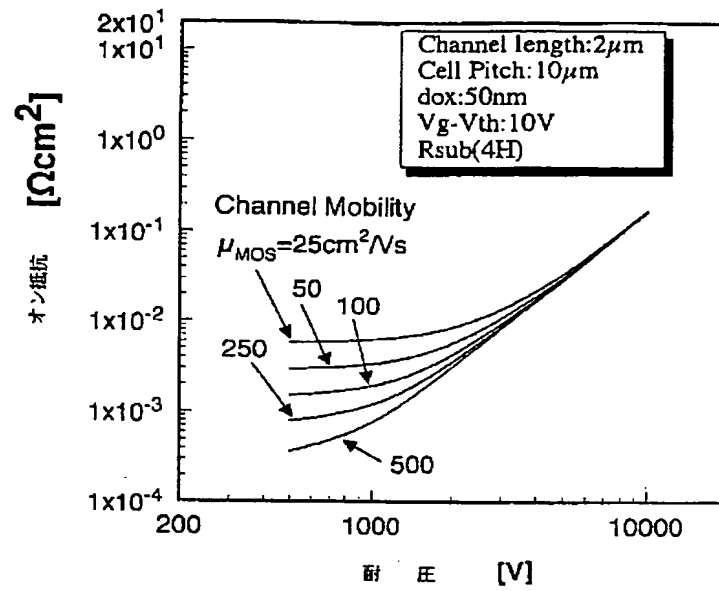
【図7】



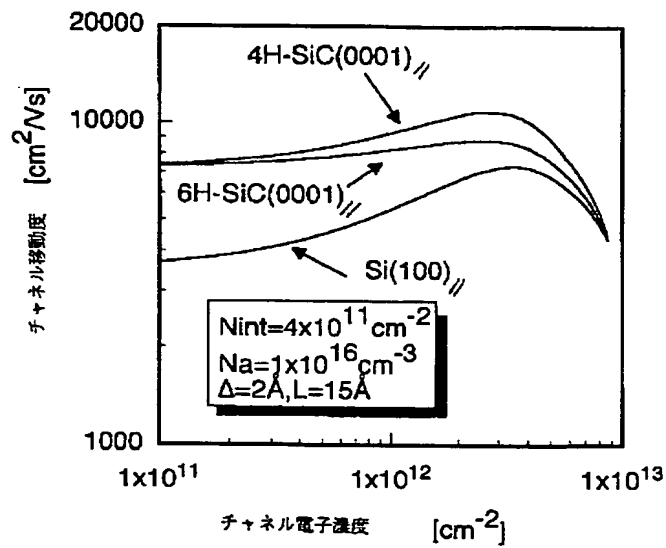
【図9】



【図8】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**